



KOREAN PATENT ABSTRACTS(KR)

Document Code:A

(11) Publication No.1020020030140 (43) Publication.Date. 20020424

(21) Application No.1020000060706 (22) Application Date. 20001016

(51) IPC Code:

H01L 23/28

(71) Applicant:

SAMSUNG ELECTRONICS CO., LTD.

(72) Inventor:

SONG, YUN GYU

(30) Priority:

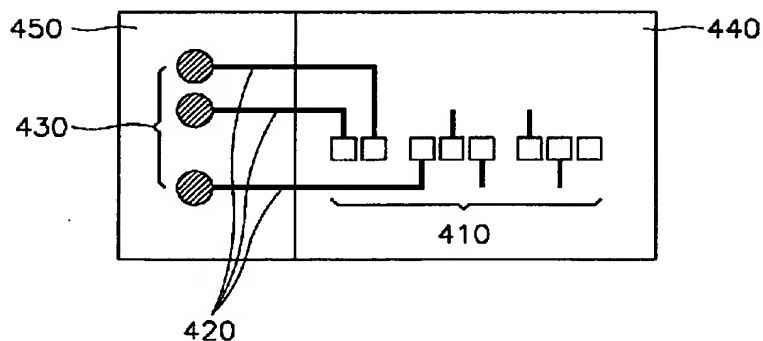
(54) Title of Invention

MICRO BALL-GRID-ARRAY PACKAGE TAPE HAVING TEST TAB

Representative drawing

(57) Abstract:

PURPOSE: A micro ball-grid-array(BGA) package tape having a test tab is provided to easily test an electrical characteristic of a semiconductor chip by a de-cap method, by making the circuit of the semiconductor chip face downward.



CONSTITUTION: At least one tab(430) is formed in a guard region(450) except a region (440) to which the semiconductor chip is attached, so that the semiconductor chip is tested. At least one pad(410) is attached to the test pad corresponding to the semiconductor chip, formed in the region to which the semiconductor chip is attached. At least one metal wire(420) electrically connects at least one tab with at least one pad.

© KIPO 2002

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁸	(11) 공개번호	특2002-0030140
H01L 23 /28	(43) 공개일자	2002년04월24일

(21) 출원번호 10-2000-0060706

(22) 출원일자 2000년 10월 16일

(71) 출원인 삼성전자 주식회사

(72) 발명자 경기 수원시 팔달구 매탄3동 416
송윤규

(74) 대리인 경기도수원시권선구세류3동324-717통1반
이영필, 정상빈, 이래호

심사청구 : 있음

(54) 테스트용 탭을 구비하는 마이크로 비지에이 패키지 테이프

요약

마이크로 비지에이와 같이 메모리 칩이 아래를 향하여 설계되어 용이하게 테스트할 수 없는 패키지 방법으로 조립된 칩을 테스트하기 위한 패키지 테이프가 개시된다. 패키지 테이프는 반도체 칩이 부착되는 영역이외의 가드영역에 형성되는 적어도 하나의 탭과, 반도체 칩이 부착되는 영역에 형성되며 반도체 칩의 대응되는 테스트용 패드와 접촉되는 적어도 하나의 패드를 구비한다. 또한 패키지 테이프는 적어도 하나의 탭과 이에 대응하는 적어도 하나의 패드를 전기적으로 연결하는 적어도 하나의 금속선을 구비한다. 본 발명에 의해 반도체 칩의 회로가 아래를 향하고 있어서 전기적 특성을 프루빙(probing)할 방법이 없는 반도체 칩을 용이하게 테스트할 수 있게 되는 장점이 있다.

대표도

도4

영세서

도면의 간단한 설명

본 발명의 상세한 설명에서 사용되는 도면을 보다 충분히 이해하기 위하여, 각 도면의 간단한 설명이 제공된다.

도 1은 기존의 패키지 방법을 설명하는 도면이다.

도 2는 마이크로 비지에이에 의한 패키지 방법을 설명하는 도면이다.

도 3은 일반적인 마이크로 비지에이 패키지의 구조를 옆에서 본 측면도이다.

도 4는 본 발명의 실시예에 따른 패키지 테이프를 나타내는 도면이다.

도 5a는 도 4에 도시된 본 발명에 따른 패키지 테이프를 사용하는 마이크로 비지에이 패키지의 평면도이다.

도 5b는 도 5a에 도시된 마이크로 비지에이 패키지를 디캡(De-cap)한 후의 평면도이다.

도 6은 도 4에 도시된 본 발명에 따른 패키지 테이프를 다른 형태로 사용하는 마이크로 비지에이 패키지의 평면도이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 칩의 회로가 아래를 향하고 있는 패키지 타입을 가지는 반도체 장치에 관한 것으로서, 특히 마이크로 비지에이(μ -BGA: micro ball grid array, 이하 마이크로 비지에이) 패키지(package)의 테이프를 이용하여 칩을 테스트 할 수 있게 하는 마이크로 비지에이 패키지 테이프에 관한 것이다.

최근 경쟁적으로 개발되고있는 Cellular Phone, 캠코더, 메모리카드(Memory Card) 및 많은 무선기기 등에서는 시스템의 용량이 대형화되고, 고속동작의 요구가 증가하는 추세에 있다. 예를 들어, PC의 CPU의 속도가 증가함에 따라 그에 대응하는 메모리장치 또한 대용량, 고속동작이 요구된다.

이를 극복하기 위하여 새로운 Memory가 발표되고 있으며 최근 개발이 완료된 RAMBUS DRAM이 그 예이다.

메모리소자의 능력을 극대화시키는 작업과 더불어 패키지 부문도, 시스템이 요구하는 고속, 대용량의 소자들의 성능을 악화시키지 않도록 고성능(High Quality), 고신뢰성(High Reliability)을 실현하는 다양한 패키지 방법을 제시하고 있다. 이러한 개발경향을 기존의 패키지와 구별하여 CSP(Chip Size Package)로 부르는데, CSP는 거의 모든 반도체 회사마다 자체의 독특한 이름으로 발표되고 있다.

CSP는 크게 2가지의 장점을 가지고 있다. 그 첫째가 패키지의 크기와 무게를 획기적으로 줄일 수 있다는 점이고, 둘째는 낮은 인덕턴스(Inductance) 값을 얻을 수 있어 고속 동작속도를 얻을 수 있다는 점이다.

CSP중 Tessera사에서 시작된 마이크로 비지에이(Micro Ball Grid Array)는, 여러 가지 CSP 중에서 실제 칩 크기의 패키지(Real Chip Size Package)로서 기존의 패키지와 비교하여 그 크기와 무게를 약 1/3 수준으로 줄일 수 있는 특징을 가지고 있다. 또한 마이크로 비지에이의 독특한 구조에 의하여 스트레스를 현저히 감소시킬 수 있는 장점이 있다. 현재 고속의 Rambus DRAM이 이 패키지를 사용하고 있다.

도 1은 기존의 패키지 방법을 설명하는 도면이다. 기존의 패키지 방법은 회로(110)가 설계되어 있는 칩(100)을 몰딩 컴파운드(120)로 감싸고 핀(130)을 이용하여 소켓(140)에 연결하는 방법을 사용한다.

도 2는 마이크로 비지에이에 의한 패키지 방법을 설명하는 도면이다. 회로(210)가 설계되어 있는 칩(200)이 접착제(미도시)에 의해 테이프(220)의 한쪽면에 접착되고, 테이프(220) 자체에 형성된 범리드본딩용 도전성 금속패턴들(미도시)이 칩(200)의 본딩 패드들(미도시)에 대응하여 범리드 본딩 된다. 테이프(220)의 반대면에 솔더볼(230)이 부착된다. 솔더볼

(230)은 대응하는 소켓(240)에 연결된다. 여기서 테이프(220)는 폴리이미드(polyimide) 재질의 절연필름이다.

도 2를 참조하면, 마이크로 비지에이 패키지 방법은 기존의 패키지 방법과 차이가 있음을 알 수 있다. 즉, 기존의 패키지의 골격을 이루던 리드프레임(leadframe) 대신에 엘라스토머(elastomer)라는 접착제나 폴리이미드(polyimide) 계열의 유기기판을 사용하고, 핀 대신에 솔더볼(solder ball)과 솔더범프(solder bump)를 외부연결단자로 사용한다. 따라서 마이크로 비지에이 패키지는 인쇄회로기판(PCB: Printed Circuit Board)에 실장(Mounting)하는 공정에서 보다 높은 실장 밀도를 달성할 수 있다.

그런데 대부분의 반도체 칩들에서 제어 패드들(Control Pads), 데이터 패드들(Data Pads) 및 공급전원 패드들(Power Pads) 외의 모니터하기 위한 패드들(DC 확인 패드, 테스트 모드 패드들)은 와이어 본딩(Wire Bonding)되지 않는다. 따라서 기존의 패키지 방법으로 조립된 반도체 칩을 불량분석 하기 위해서는 디캡(De-cap) 즉, 동작중인 반도체 칩의 패키지 윗덮개를 제거시킨 후 확인하고자 하는 패드에 직접 프루빙(probing)하여 DC 레벨 등의 전기적 특성을 확인한다. 기존의 패키지 방법에서는 반도체 칩(100)의 회로(110)부분이 위를 향하도록 하여 조립되므로 실제로 윗덮개만 제거후 프루빙(probing)이 가능하다.

그러나 마이크로 비지에이 패키지에서는 반도체 칩(200)의 회로(210)부분이 아래를 향하도록 하여 조립되는 특성 때문에 디캡(De-cap)을 하더라도 프루빙(probing)할 방법이 없는 단점이 있다.

발명이 이루고자하는 기술적 과제

따라서 본 발명이 이루고자 하는 기술적 과제는, 반도체 칩의 전기적 특성을 용이하게 확인 할 수 있게 하는 패키지 테이프를 제공하는 데 있다.

발명의 구성 및 작용

상기 기술적 과제를 달성하기 위한 본 발명에 따르면 마이크로 비지에이 패키지 방법으로 조립된 칩을 테스트하기 위한 패키지 테이프가 제공된다. 상기 패키지 테이프는 반도체 칩을 테스트하기 위해 상기 반도체 칩이 부착되는 영역이외의 가드영역(Guard Area)에 형성되는 적어도 하나의 탭을 구비한다. 또한 상기 반도체 칩이 부착되는 영역에 형성되고 상기 반도체 칩의 대응되는 테스트용 패드와 접촉되는 적어도 하나의 패드를 구비한다. 상기 패키지 테이프는 상기 적어도 하나의 탭과 상기 적어도 하나의 패드를 전기적으로 연결하는 적어도 하나의 금속선을 구비한다.

본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 도면에 기재된 내용을 참조하여야 한다.

이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 대하여, 동일한 참조부호는 동일한 부재임을 나타낸다.

도 3은 일반적인 마이크로 비지에이 패키지의 구조를 옆에서 본 측면도이다. 반도체 칩(300)에 설계된 회로(310)부분이 아래로 향해있고 테이프(320)에 부착된다. 테이프(320)의 반대면에는 솔더볼(330)이 부착된다. 칩(300)의 주변의 테이프(320)부분인 가드영역(Guard Area)(340)에 본 발명의 탭들(미도시)과 금속선들(미도시)이 구비된다. 이는 후술하는 도 4에서 상세히 설명된다. 칩(300)이 부착된 부분을 제외한 테이프(320)의 나머지 부분은 보호막(350)으로 덮혀 있다. 보호막(350)은 테이프(320)의 배선을 보호하고 절연을 하기 위한 것으로서 보통 검정색상의 불투명 실리콘 고무로 형성된다.

도 4는 본 발명의 일실시예에 따른 패키지 테이프를 나타내는 도면이다. 도 4를 참조하면, 본 발명의 일실시예에 따른 패키지 테이프는 칩이 부착되는 영역(440)에 반도체 칩의 대응되는 테스트용 패드와 접촉되는 패드들(410)이 위치하고 가드영역(Guard Area)(450) 부분에 탭들(430)이 위치한다. 탭들(430)은 하나 또는 그 이상의 갯수로 형성된다. 탭

(430)과 패드들(410)을 금속선들(420)이 전기적으로 연결하고 있다.

이하 도 4를 참조하여 본 발명의 제 일실시예에 따른 패키지 테이프가 상세히 설명된다. 마이크로 비지에이 패키지는 반도체 칩의 회로부분이 아래를 향하도록 하여 조립되는 특성 때문에 디캡(De-cap)을 하더라도 프루빙(probing)할 방법이 없는 단점이 있다. 도 4를 참조하면, 테스트 하려는 반도체 칩의 패드들(미도시)이 테이프상의 대응되는 패드들(410)과 연결된다. 그리고 테이프상의 패드들(410)로부터 가드영역(Guard Area)(450)까지 금속선들(420)을 연결하고 그 끝단에 프루빙(probing)이 용이하도록 탭들(430)을 위치시킨다. 탭들(430)도 금속선들(420)과 마찬가지로 전기를 통할 수 있는 금속으로 만들어진다. 그러한 금속으로 구리를 예로 들 수 있다. 따라서 모니터링(monitring) 하거나 포싱(forcing)하려는 패드들(410)을 직접 프루빙(probing)할 수는 없으나 이들에 연결되어 가드영역(Guard Area)(450)에 위치한 탭들(430)을 프루빙(probing)하여 칩을 테스트할 수 있게된다.

도 5a는 도 4에 도시된 본 발명에 따른 패키지 테이프를 사용하는 마이크로 비지에이 패키지의 평면도이다. 도 5b는 도 5a에 도시된 마이크로 비지에이 패키지를 디캡(De-cap)한 후의 평면도이다.

도 5a를 참조하면, 칩이 부착되는 영역(500) 주변의 가드영역(Guard Area)(520)이 보호막(530)에 의해 가려져 있다. 즉, 탭들과 금속선들이 부착된 곳(510)은 보이지 않으며 일반 사용자들은 기존의 마이크로 비지에이 패키지와 동일하게 생각한다. 도 5b를 참조하면, 칩의 특성을 테스트 하고자 할 때에는 디캡(De-cap)에 의해 칩이 부착되는 영역(540) 주위의 보호막(530)이 제거되고 금속선들(550)과 탭들(570)이 나타난다. 따라서 칩의 특성 테스트시 다른 타입의 패키지처럼 디캡(De-cap)에 의해 마이크로 비지에이 패키지에서도 탭들(570)을 이용하여 칩의 특성을 모니터링(monitring) 하거나 포싱(forcing)할 수 있다. 배선들(580)은 내부 패드들을 연결한 배선들이 칩이 부착되는 영역(540) 외부로 라우팅(Routing)된 것을 나타낸 것이다.

도 6은 도 4에 도시된 본 발명에 따른 패키지 테이프를 다른 형태로 사용하는 마이크로 비지에이 패키지의 평면도이다. 칩이 부착되는 영역(600) 주변의 가드영역(Guard Area)(620)이 보호막(630)에 의해 가려져 있고 탭들(640)과 금속선들(660)이 있는 부분만이 노출되어있다. 따라서 이 경우에는 디캡(De-cap)에 의하지 않고서도 칩을 모니터링(monitring) 하거나 포싱(forcing)할 수 있다.

이상에서 설명한 바와 같이 본 발명에 따른 마이크로 비지에이 패키지 테이프는 반도체 칩의 전기적 특성을 용이하게 확인 할 수 있게 하는 장점이 있다.

이상에서와 같이 도면과 명세서에서 최적의 실시예가 개시되었다. 여기서 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

발명의 효과

상술한 바와 같이 본 발명에 따른 마이크로 비지에이 패키지 테이프는, 반도체 칩의 회로가 아래를 향하고 있어서 프루빙(probing)할 방법이 없는 반도체 칩을 디캡(De-cap)에 의하지 않고 용이하게 전기적 특성을 테스트할 수 있게 하는 장점이 있다.

(57) 청구의 범위

청구항 1. 반도체 칩을 테스트하기 위해 상기 반도체 칩이 부착되는 영역이외의 가드영역에 형성되는 적어도 하나의

탭 ;

상기 반도체 칩이 부착되는 영역에 형성되고 상기 반도체 칩의 대응되는 테스트용 패드와 접촉되는 적어도 하나의 패드 ;
및

상기 적어도 하나의 탭과 상기 적어도 하나의 패드를 전기적으로 연결하는 적어도 하나의 금속선을 구비하는 것을 특징으로 하는 마이크로 비지에이 패키지 테이프

청구항 2. 제 1항에 있어서 상기 적어도 하나의 탭은,

전기를 통할 수 있는 금속으로 만들어진 것을 특징으로 하는 마이크로 비지에이 패키지 테이프

청구항 3. 제 1항에 있어서 상기 적어도 하나의 탭은,

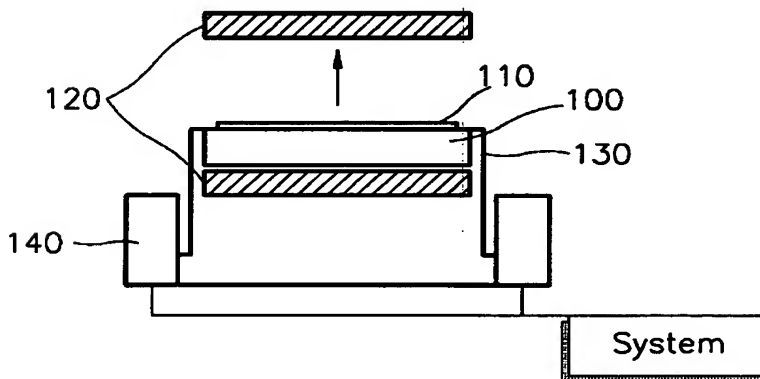
상기 가드영역 전체를 덮는 보호막에 의해서 가려져 있는 것을 특징으로 하는 마이크로 비지에이 패키지 테이프

청구항 4. 제 1항에 있어서 상기 적어도 하나의 탭은,

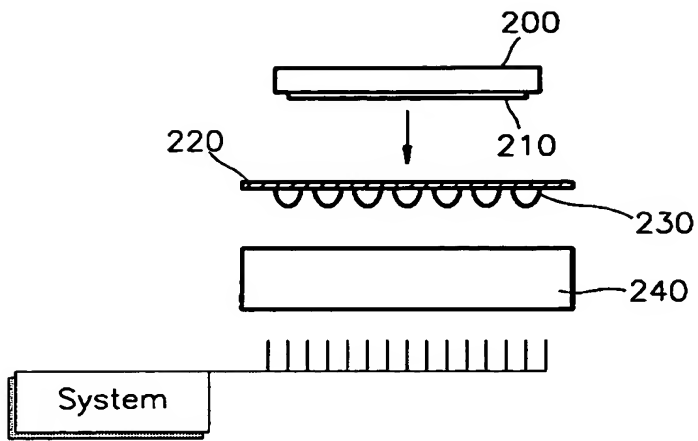
상기 가드영역 위의 상기 적어도 하나의 탭이 있는 부분만이 노출되고 상기 가드영역의 다른 부분은 보호막으로 가려져 있는 것을 특징으로 하는 마이크로 비지에이 패키지 테이프

도면

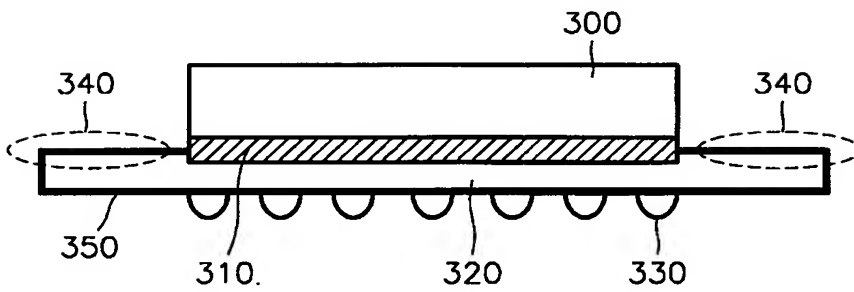
도면1



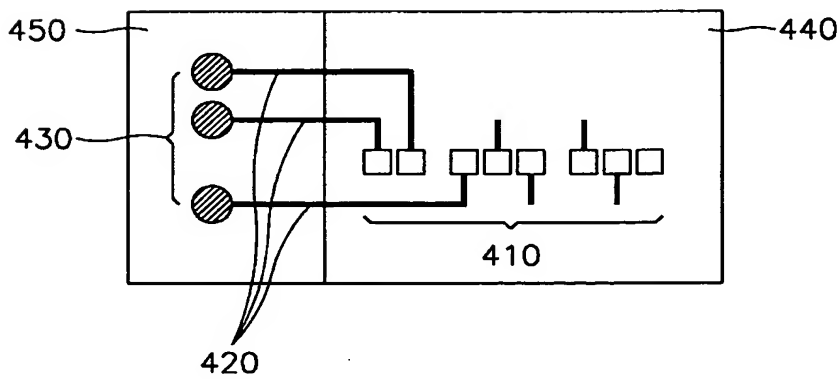
도면2



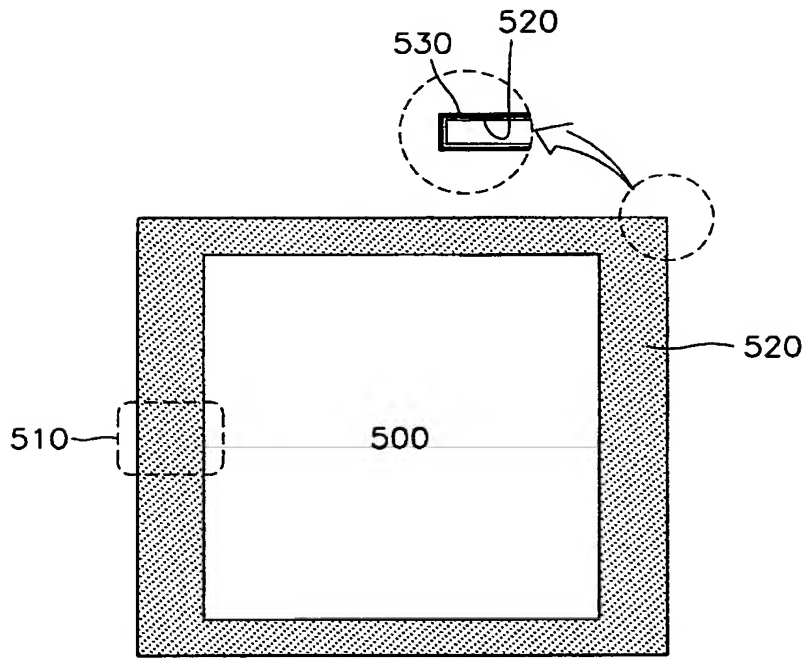
도면3



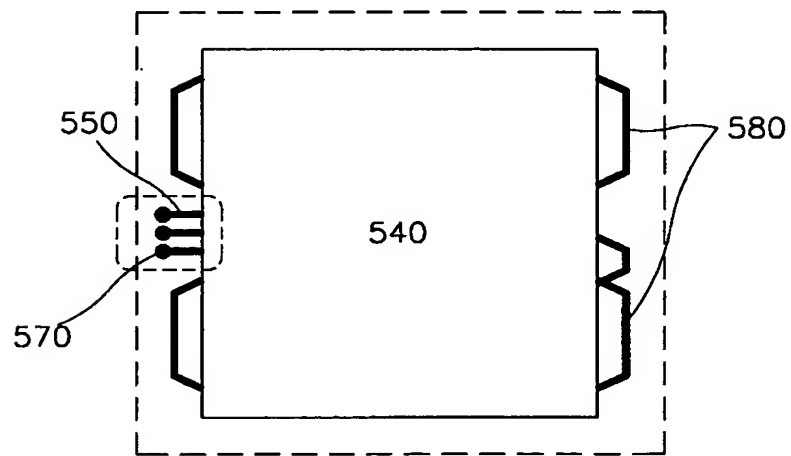
도면4



도면5a



도면5b



도면6

